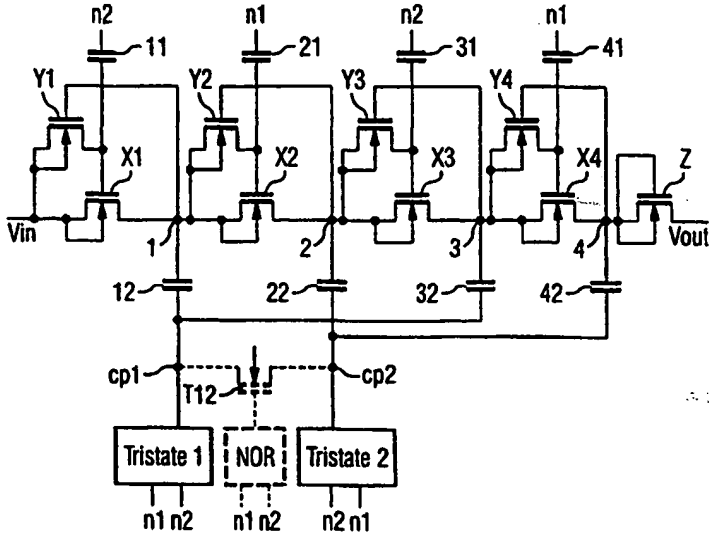


<p>(51) Internationale Patentklassifikation ⁷ : H02M 3/07</p>	A1	<p>(11) Internationale Veröffentlichungsnummer: WO 00/38303</p> <p>(43) Internationales Veröffentlichungsdatum: 29. Juni 2000 (29.06.00)</p>		
<table border="0" style="width: 100%;"> <tr> <td style="width: 50%; vertical-align: top; padding: 5px;"> <p>(21) Internationales Aktenzeichen: PCT/DE99/04054</p> <p>(22) Internationales Anmeldedatum: 21. Dezember 1999 (21.12.99)</p> <p>(30) Prioritätsdaten: 198 59 131.4 21. Dezember 1998 (21.12.98) DE 199 26 700.6 11. Juni 1999 (11.06.99) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, D-81541 München (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): LAUTERBACH, Christl [DE/DE]; Rosenstr. 6, D-85635 Höhenkirchen-Siegertsbrunn (DE).</p> <p>(74) Gemeinsamer Vertreter: INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Postfach 22 13 17, D-80503 München (DE).</p> </td> <td style="width: 50%; vertical-align: top; padding: 5px;"> <p>(81) Bestimmungsstaaten: BR, CN, IN, JP, KR, MX, RU, UA, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p> </td> </tr> </table>			<p>(21) Internationales Aktenzeichen: PCT/DE99/04054</p> <p>(22) Internationales Anmeldedatum: 21. Dezember 1999 (21.12.99)</p> <p>(30) Prioritätsdaten: 198 59 131.4 21. Dezember 1998 (21.12.98) DE 199 26 700.6 11. Juni 1999 (11.06.99) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, D-81541 München (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): LAUTERBACH, Christl [DE/DE]; Rosenstr. 6, D-85635 Höhenkirchen-Siegertsbrunn (DE).</p> <p>(74) Gemeinsamer Vertreter: INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Postfach 22 13 17, D-80503 München (DE).</p>	<p>(81) Bestimmungsstaaten: BR, CN, IN, JP, KR, MX, RU, UA, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p>
<p>(21) Internationales Aktenzeichen: PCT/DE99/04054</p> <p>(22) Internationales Anmeldedatum: 21. Dezember 1999 (21.12.99)</p> <p>(30) Prioritätsdaten: 198 59 131.4 21. Dezember 1998 (21.12.98) DE 199 26 700.6 11. Juni 1999 (11.06.99) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, D-81541 München (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): LAUTERBACH, Christl [DE/DE]; Rosenstr. 6, D-85635 Höhenkirchen-Siegertsbrunn (DE).</p> <p>(74) Gemeinsamer Vertreter: INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Postfach 22 13 17, D-80503 München (DE).</p>	<p>(81) Bestimmungsstaaten: BR, CN, IN, JP, KR, MX, RU, UA, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p>			
<p>(54) Title: HIGH EFFICIENCY VOLTAGE MULTIPLICATION DEVICE AND ITS USE</p> <p>(54) Bezeichnung: VORRICHTUNG ZUR SPANNUNGSVERVIELFACHUNG MIT HOHEM WIRKUNGSGRAD UND IHRE VERWENDUNG</p> <div style="text-align: center; margin: 20px 0;">  </div>				
<p>(57) Abstract</p> <p>The invention relates to a voltage multiplication device on the basis of a boosted charge pump which is used, for example, as on-chip high-voltage generator in EEPROMs and flash-EEPROMs. Charging of the pump capacities via tristate drivers and a simplified clock scheme permit a reduction in power losses and decrease in the chip surface area.</p>				

(57) Zusammenfassung

Der Anmeldungsgegenstand betrifft eine Vorrichtung zur Spannungsvervielfachung auf der Basis einer geboosteten Ladungspumpe, die zum Beispiel als on-chip Hochspannungsgenerator bei EEPROM's und Flash-EEPROM's Verwendung findet. Durch Laden der Pumpkapazitäten über Tristatetreiber und ein vereinfachtes Taktschema wird die Verlustleistung verringert und Chipfläche gespart.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Vorrichtung zur Spannungsvervielfachung mit hohem Wirkungsgrad und ihre Verwendung.

5

Die Erfindung betrifft eine Vorrichtung zur Spannungsvervielfachung, die nach dem Prinzip der Ladungspumpe arbeitet, wobei eine solche Ladungspumpe aus mindestens zwei Pumptransistoren und aus zwei Anhebetransistoren (Boost-Transistoren) sowie vier Kondensatoren besteht und ein vierphasiges Takt-
10 schema aufweist. Solche Vorrichtungen befinden sich häufig monolithisch integriert auf dem Halbleiterchip von elektrisch programmierbaren Festwertspeichern, wie zum Beispiel EEPROM's und Flash-EEPROM's. Derartige Vorrichtungen sind aus den internationalen Anmeldungen WO 97/26657 und WO 98/01938 sowie
15 aus einer Veröffentlichung auf der IEEE Konferenz ESSCIRC 98 im September 1998 bekannt.

Aus der US-Patentschrift 5,818,289 ist eine Schaltung mit so-
20 genanntem Charge-Sharing zwischen den Pumpkapazitäten beschrieben. Bei dieser Ansteuerung der Pumpe wird der Wirkungsgrad dadurch erhöht, daß eine geladene Pumpkapazität nicht, wie im beim oben beschriebenen Pumpenprinzip gegen Masse entladen wird, sondern die Ladung über einen Schalter
25 auf die nächste Kapazität gebracht wird, wobei diese von 0V auf $V_{dd}/2$ aufgeladen wird. Die erste Kapazität befindet sich dann ebenfalls auf $V_{dd}/2$ und nur diese Ladung wird nach Masse abgeführt. Auf diese Weise ist es möglich 50% der Energie, die die Quelle zum Laden der Kapazitäten liefern muß, einzusparen. Nachteilig ist hier ein relativ aufwendiges Takt-
30 schema mit 5 zeitlich von einander getrennten Takten.

Die der Erfindung zugrundeliegende Aufgabe besteht nun darin, eine Vorrichtung zur Spannungsvervielfachung anzugeben, bei
35 der der Gesamtwirkungsgrad der Pumpe möglichst hoch und die erforderliche Chipfläche gleichzeitig möglichst klein ist.

Diese Aufgabe wird erfindungsgemäß durch die Merkmale des Patentanspruchs 1 gelöst. Die weiteren Ansprüche betreffen vorteilhafte Ausgestaltungen und eine bevorzugte Verwendung der Erfindung.

5

Die Erfindung wird nachfolgend anhand eines in der Zeichnung dargestellten Ausführungsbeispiels näher erläutert. Dabei zeigt

10 Figur 1 ein Schaltbild zweier Varianten einer Vorrichtung zur Spannungsvervielfachung mit hohem Wirkungsgrad,

Figur 2 eine Detaildarstellung der Tristate-Schaltungen von Figur 1,

15

Figur 3 und 4 Spannungszeitdiagramme zur Erläuterung von Figur 1 und 2,

20

Figur 5 eine Detaildarstellung einer Schaltung zur Erzeugung zweier Taktspannungen von Figur 1 und 2 sowie

Figur 6 eine vergleichende Darstellung des Wirkungsgrads bekannter Vorrichtungen und für zwei Ausführungsbeispiele der Erfindung.

25

Durch die Erfindung wird sowohl bei der konventionellen Ladungspumpe mit 4 Takten als auch bei der Ladungspumpe mit Charge-Sharing eine wesentliche Verbesserung des Wirkungsgrades, insbesondere bei niedrigen Ausgangsströmen, erreicht.

30 Dies wird sowohl durch die vereinfachte Takterzeugung mit zwei Takten, die selbst weniger Energie benötigt, als auch durch weniger parasitäre Strompeaks während des Pumpens, die durch kapazitives Überkoppeln an den Pump- und Boostkapazitäten entstehen, erreicht. Die Ausgangsleistung der Pumpe wird
35 dabei nicht verschlechtert und die Ausgangsspannung nimmt bei kleinen Ausgangsströmen sogar zu. Durch das vereinfachte Taktschema ist für eine gleiche Pumpleistung auch eine gerin-

gere Chipfläche erforderlich. Durch eine kleinere Anzahl von Strompeaks, wird die Elektromagnetische Emission für Schaltungen mit Ladungspumpen verbessert.

- 5 In Figur 1 ist beispielhaft eine Vorrichtung zur Spannungsvervielfachung dargestellt, die vier gleichartig aufgebaute Stufen aufweist und die aus niedrigen Eingangsspannung V_{in} eine hohe Ausgangsspannung V_{out} in Abhängigkeit von vier Taktspannungen n_1 , n_2 , cp_1 und cp_2 bildet. In diesem Beispiel
- 10 dargestellte Ladungspumpe dient zur Erzeugung einer positiven Ausgangsspannung V_{out} , und weist in einer ersten Stufe einen Pumptransistor X_1 , einen Anhebetransistor Y_1 und Kondensatoren 11 und 12, in einer zweiten Stufe einen Pumptransistor X_2 , einen Anhebetransistor Y_2 und Kondensatoren 21 und 22, in
- 15 einer dritten Stufe einen Pumptransistor X_3 , einen Anhebetransistor Y_3 und Kondensatoren 31 und 32 sowie in einer vierten Stufe einen Pumptransistor X_4 , einen Anhebetransistor Y_4 und Kondensatoren 41 und 42 auf. In der ersten Stufe ist ein erster Anschluß des Transistors X_1 mit einem Anschluß für die
- 20 Eingangsspannung V_{in} , ein zweiter Anschluß des Pumptransistors X_1 mit einem ersten Anschluß des Pumptransistors X_2 der zweiten Stufe und das Gate des Pumptransistors X_1 über den Kondensator 11 mit einem Anschluß für eine erste Anheb-
- 25 taktspannung n_2 verbunden. Das Gate des Pumptransistors X_1 ist darüber hinaus über den Anhebetransistor Y_1 mit dem Anschluß für die Eingangsspannung V_{in} verbunden, dessen Gate mit dem Verbindungsknoten 1 zwischen den Pumptransistoren X_1 und X_2 verbunden ist, der seinerseits über den Kondensator 12 mit einem Anschluß für eine erste Pumptaktspannung cp_1 ver-
- 30 bunden ist. In der zweiten Stufe ist der Pumptransistor X_2 über einen Verbindungsknoten 2 mit einem ersten Anschluß des Pumptransistors X_3 der dritten Stufe und das Gate des Pumptransistors X_2 über den Kondensator 21 mit einem Anschluß für die zweite Anheb-
- 35 etaktspannung n_1 und über den Anhebetransistor Y_2 mit dem Verbindungsknoten 1 verbunden. Das Gate des Anhebetransistors Y_2 ist mit dem Verbindungsknoten 2 und dieser über den Kondensator 22 mit einem Anschluß für die

Pumptaktspannung cp2 verbunden. In der dritten Stufe ist der Pumptransistor X3 über einen Verbindungsknoten 3 mit einem ersten Anschluß des vierten Pumptransistors X4 der vierten Stufe und das Gate des Pumptransistors X3 über den Kondensator 31 mit der ersten Anhebetaktspannung n2 und über den Anhebetransistor Y3 mit dem Verbindungsknoten 2 verbunden. Das Gate des Anhebetransistors Y3 ist mit dem Verbindungsknoten 3 verbunden, der über den Kondensator 32 mit einem Anschluß für die Pumptaktspannung cp1 verbunden ist. Der Pumptransistor X4 der vierten Stufe ist mit seinem zweiten Anschluß mit einem ersten Anschluß und dem Gateanschluß eines Endtransistors Z verbunden, dessen zweiter Anschluß die Ausgangsspannung Vout liefert. Das Gate des Pumptransistors X4 ist über den Kondensator 41 mit einem Anschluß für die zweite Anhebetaktspannung n1 und über den Anhebetransistor Y4 mit dem Verbindungsknoten 3 verbunden. Das Gate des Anhebetransistors Y4 ist mit dem Verbindungsknoten 4 verbunden, der seinerseits über den Kondensator 42 mit einem Anschluß für die zweite Pumptaktspannung cp2 verbunden ist. Der Anschluß für die erste Pumptaktspannung cp1 ist mit dem Ausgang eines ersten Tristate-Gatters Tristat1 verbunden, dessen erster Eingang mit dem Anschluß für die Anhebetaktspannung n1 und dessen zweiter Eingang mit dem Anschluß für die zweite Anhebetaktspannung n2 verbunden ist. Der Anschluß für die zweite Pumptaktspannung cp2 ist mit dem Ausgang eines zweiten Tristate-Gatters Tristat2 verbunden, dessen erster Eingang mit dem Anschluß für die zweite Anhebetaktspannung n2 und dessen zweiter Eingang mit dem Anschluß für die erste Pumptaktspannung n1 verbunden ist, wobei durch die Vertauschung der Eingänge im Vergleich zum Tristate-Gatter Tristat1 eine zur ersten Pumptaktspannung cp1 inverse Pumptaktspannung cp2 entsteht. Aus Figur 1 wird unter anderem deutlich, daß vorteilhafterweise nur zwei Taktspannungen n1 und n2 gebildet bzw. zugeführt werden müssen, da die beiden anderen Taktspannungen cp1 und cp2 in der Vorrichtung ohnehin gebildet werden, was die Pulserzeugung für die eigentliche Ladungspumpe vereinfacht.

Bei einer Pumpe nach dem Charge-Sharing-Prinzip ist lediglich zusätzlich, in Figur 1 gestrichelt angedeutet, zwischen dem Anschluß für die erste Pumptaktspannung cp1 und dem Anschluß für die zweite Pumptaktspannung cp2 ein Verbindungstransistor T12 vorhanden, dessen Gate mit dem Ausgang eines NOR-Gatters NOR verbunden ist, wobei ein erster Eingang des NOR-Gatters mit dem Anschluß für die erste Anhebetaktspannung n1 und ein zweiter Anschluß des NOR-Gatters mit dem Anschluß für die zweite Anhebetaktspannung n2 verbunden ist.

10

In Figur 2 ist der Teil mit dem optional vorhandenen Verbindungstransistor T12 und NOR-Gatter sowie den Tristategattern von Figur 1 in Form eines Ausführungsbeispiels dargestellt. Das Tristate-Gatter Tristate1 weist hierbei zwischen einem ersten Versorgungsspannungsanschluß VDD und dem Anschluß für die erste Pumptaktspannung cp1 einen p-Kanaltransistor Tp1 und zwischen dem Anschluß für die erste Pumptaktspannung cp1 und Bezugspotential GND einen n-Kanaltransistor Tn1 auf. Das Gate des Transistors Tp1 ist über einen invertierenden Treiber D11 mit dem Anschluß für die Anhebespannung n1 und das Gate des Transistors Tn1 über einen nichtinvertierenden Treiber, der hier beispielhaft aus einem invertierenden Treiber D21 und einem vorgeschalteten Inverter besteht, mit dem Anschluß für die Anhebetaktspannung n2 verbunden. Das Tristate-Gatter Tristate2 weist zwischen dem Anschluß für die Pumptaktspannung cp2 und der Versorgungsspannung VDD einen p-Kanaltransistor Tp2 und zwischen dem Anschluß für die Pumptaktspannung cp2 und Bezugspotential einen n-Kanaltransistor Tn2 auf. Das Gate des Transistors Tp2 ist über einen invertierenden Treiber D12 mit dem Anschluß für die Anhebetaktspannung n2 und das Gate des Transistors Tn2 über einen nichtinvertierenden, hier aus einem invertierenden Treiber D22 und einem vorgeschalteten Inverter D22 gebildeten, nichtinvertierenden Treiber mit dem Anschluß für die Anhebetaktspannung n1 verbunden. Zwischen dem Bezugspotential und dem Anschluß für die Pumptaktspannung cp1 ist eine Ersatzkapazität CI1 und zwischen dem Anschluß für die

35

Pumptaktspannung cp2 und Bezugspotential ist hier eine Ersatzkapazität CI2 eingetragen, die im wesentlichen die Kapazitäten 12, 22, 32 und 42 repräsentieren.

- 5 Zwischen den Anschlüssen für die Taktspannungen cp1 und cp2 ist, wie in Figur 1, ein Transistor T12 vorhanden, an dessen Gate die Taktspannung t12 anliegt, die durch das NOR-Gatter NOR gebildet wird.
- 10 Durch die Tristatetreiber kann die Erzeugung der Pumptaktspannungen cp1 und cp2 entfallen, da die Anhebepumptaktspannungen (Boost-Pulse) gleich als Ansteuerung für die Tristatetreiber Tristate1 und Tristate2 dienen. Durch die Tristatetreiber wird darüber hinaus ein Nachladen der Pumpkapazitäten CI1 und CI2 während des Anhebezyklus in der Ladungspumpe dadurch verhindert, daß nach dem Laden der Pumpkapazitäten der Treiber hochohmig wird. Da das Nachladen der Pumpkapazitäten Energie benötigt, die nicht zur Spannungserhöhung in der Pumpe beiträgt, wird bereits allein durch die
- 15 Tristatetreiber im Vergleich zum Stand der Technik weniger Verlustleistung erzeugt.
- 20

Durch den Verbindungstransistor T12 und das NOR-Gatter NOR kann die Verlustleistung der Vorrichtung zur Spannungsvervielfachung weiter reduziert und damit der Wirkungsgrad weiter erhöht werden. Hierbei wird ein Viertel der Energie durch Umladen der Pumpkapazitäten CI1 und CI2 "konserviert". Durch die hiermit bewirkte Energieeinsparung, können die Treibertransistoren in den Tristatetreibern Tristate1 und Tristate2

25 um die Hälfte verkleinert werden, was Chipfläche spart.

30

In Figur 3 ist ein Spannungszeitdiagramm für die Taktspannungen n1, n2, t12, cp1 und cp2 einer Pumpe nach dem Charge-sharing-Prinzip dargestellt. Damit sich bei den Tristatetreibern Tristate1 und Tristate2 ein hochohmiger Zustand einstellen kann, dürfen die beiden Taktspannungen n1 und n2 nicht

35 invers zueinander sein, sondern müssen einen Überlappingsbe-

reich mit einem gemeinsamen Pegel, hier beispielsweise ungefähr 0 Volt, aufweisen. Durch das NOR-Gatter entsteht die Ansteuerspannung t12 für den Verbindungstransistor T12, die hier im Überlappungsbereich der Spannungen n1 und n2 einen Highpegel aufweist, damit der Transistor T12 kurzzeitig zwischen dem Laden der ersten Pumpkapazität CI1 und dem Laden der zweiten Pumpkapazität CI2 ein Ladungsausgleich erfolgen kann. Die beiden Taktspannungen cp1 und cp2 sind stufenförmig und zueinander invers, wobei beide Taktspannungen im Überlappungsbereich, also wenn die Spannung t12 einen Highpegel aufweist, einen gemeinsamen Zwischenpegel von VDD/2 aufweisen.

In Figur 4 ist ein Spannungszeitdiagramm für die Taktspannungen n1, n2, cp1 und cp2 einer Pumpe ohne Charge-Sharing dargestellt. Auch hier dürfen die beiden Taktspannungen n1 und n2 nicht invers zueinander sein, sondern müssen einen Überlappungsbereich mit einem gemeinsamen Pegel, hier beispielsweise ungefähr 0 Volt, aufweisen. Die beiden Taktspannungen cp1 und cp2 sind weitgehend zueinander invers, wobei beide Taktspannungen beim High-Pegel im Überlappungsbereich eine etwas niedrigere Spannung als die Spannung des sonstigen High-Pegels aufweisen.

In Figur 5 ist beispielhaft eine Schaltung zur Erzeugung der Taktsignale n1 und n2 aus einem globalen Taktsignal CLK gezeigt. Hierbei ist einem NOR-Gatter NOR1 das globale Taktsignal CLK an einem ersten Eingang direkt und an einem weiteren Eingang durch ein Verzögerungsglied verzögert zugeführt und am Ausgang des NOR-Gatters NOR1 liegt das Taktsignal n1 an. Entsprechend, jedoch invertiert, sind die Eingänge eines NOR-gatters NOR2 beschaltet und am Ausgang des NOR-Gatters NOR2 liegt das Signal n2 an. Die eingangseitigen Invertierungen haben zusammen die Funktion eines UND-Gatters.

In Figur 6 ist für eine übliche Vorrichtung zur Spannungsvervielfachung ohne Charge-Sharing "Conventional" und eine mit Charge-Sharing entsprechend dem US-Patent 5,818,289 "US Pa-

tent" sowie für ein erfindungsgemäßes Ausführungsbeispiels der Vorrichtung zur Spannungsvervielfachung ohne Charge-Sharing "Tristate" und eine mit Charge-Sharing "Charge shar." der Wirkungsgrad in Abhängigkeit des Ausgangsstromes dargestellt. Es zeigt sich dabei, daß gerade im Bereich des maximalen Wirkungsgrads erhebliche Unterschiede zwischen den Vorrichtungen zur Spannungsvervielfachung bestehen. Bei gleichem Pumpenlayout und gleicher Taktfrequenz wird durch die erfindungsgemäße Ansteuerung einer Ladungspumpe ohne Charge-Sharing der maximale Wirkungsgrad von 45% auf 52% erhöht. Bei Pumpen mit Charge-Sharing (US Patent) wird mit der erfindungsgemäßen Ansteuerung der Wirkungsgrad von 54% auf 63% erhöht. In diesem Fall wird außerdem die Stromergiebigkeit bei höheren Strömen um nahezu 10 % verbessert.

Derartige Vorrichtungen lassen sich selbstverständlich nicht nur im Zusammenhang mit der hier beschriebenen Ladungspumpe zur Erzeugung einer positiven Ausgangsspannung V_{out} , sondern auch im Zusammenhang mit einer Ladungspumpe zur Erzeugung einer negativen Ausgangsspannung verwenden, wie im eingangs genannten Stand der Technik, z. B. in WO 97/26657, beschrieben ist.

Eine derartige Vorrichtung zur Spannungsvervielfachung kann vorteilhaft zur Erzeugung der im Vergleich zur Versorgungsspannung relativ hohen Programmierspannung in einem elektrisch programmierbare Festwertspeicher, wie zum Beispiel EEPROM's und Flash-EEPROM's, verwendet werden, wobei sich die Vorrichtung bevorzugt monolithisch integriert auf dem Halbleiterchip dieses Festwertspeichers befindet. Festwertspeicher mit einer solchen Vorrichtung können bevorzugt in batteriebetriebenen Geräten verwendet werden.

Patentansprüche

1. Vorrichtung zur Spannungsvervielfachung,
bei der eine Ladungspumpe vorhanden ist, die eine Mehrzahl
5 von Anhebetransistoren (Y1 ... Y4) aufweist, wobei die Gates
der ungeradzahligen Anhebetransistoren über Pumpkondensatoren
(12, 32) mit einem ersten Pumpspannungsanschluß (cp1) und wo-
bei die Gates der geradzahligen Anhebetransistoren über wei-
tere Pumpkondensatoren (22, 42) mit einem zweiten Pumpspan-
10 nungsanschluß (cp2) verbunden sind, und die eine Mehrzahl von
Pumptransistoren (X1 ... X4) aufweist, wobei die Gate der un-
geradzahligen Pumptransistoren (X1, X2) über Kondensatoren
(11, 31) mit einem ersten Anhebespannungsanschluß (n2) und
wobei die Gates der geradzahligen Pumptransistoren (X2, X4)
15 über Kondensatoren (21, 41) mit einem zweiten Anhebespan-
nungsanschluß (n1) verbunden sind,
bei der der erste und zweite Pumpspannungsanschluß jeweils
mit einem Ausgang eines jeweiligen Tristatetreibers (Trista-
tel, Tristate2) verbunden ist, deren jeweilige Eingänge mit
20 den beiden Anhebespannungsanschlüssen (n1, n2) verbunden
sind, und ein hochohmiger Zustand am Ausgang der Tristate-
treiber dann auftritt, wenn beide Anhebespannungen im wesent-
lichen gleich groß sind.
- 25 2. Vorrichtung nach Anspruch 1,
bei der der erste und zweite Pumpspannungsanschluß über einen
Verbindungs transistor (T12) verbindbar ist, dessen Gate in
Abhängigkeit der Anhebespannungen (n1, n2) derart angesteuert
wird, daß der Verbindungs transistor leitet, wenn weder die
30 Pumptransistoren noch die Anhebetransistoren leiten.
3. Vorrichtung nach Ansprüche 2,
bei der das Gate des Verbindungs transistors (T12) mit dem
Ausgangs eines NOR-Gatters und die beiden Eingänge des NOR-
35 Gatters jeweils mit einem der beiden Anhebespannungsanschlüs-
se (n1, n2) verbunden sind.

4. Vorrichtung nach einem der Ansprüche 1 bis 3,
bei der eine der Anhebespannungen (n1) dadurch gebildet ist,
daß einem NOR-Gatter (NOR1) ein globales Taktsignal (CLK) an
einem ersten Eingang direkt und an einem weiteren Eingang
5 durch ein Verzögerungsglied (D) verzögert zugeführt und am
Ausgang des NOR-Gatters diese Anhebespannung anliegt, und
bei der eine weitere der Anhebespannungen (n2) dadurch ge-
bildet ist, daß einer UND-Verknüpfung (I1, I2, NOR2) das glo-
bale Taktsignal (CLK) an einem ersten Eingang direkt und an
10 einem weiteren Eingang durch ein Verzögerungsglied (D) verzö-
gert zugeführt und am Ausgang der UND-Verknüpfung diese Anhe-
bespannung anliegt.
5. Vorrichtung nach einem der Ansprüche 1 bis 4,
15 bei der die UND-Verknüpfung durch ein weiteres NOR-Gatter
(NOR2), dessen Eingänge jeweils durch Inverter (I1, I2) in-
vertiert sind, gebildet ist.
6. Vorrichtung nach einem der Ansprüche 1 bis 5,
20 bei der ein jeweiliger Tristatetreiber, zwischen einem ersten
Versorgungsspannungsanschluß (VDD) und dem Ausgang des Tri-
statetreibers einen p-Kanaltransistor (Tp1) und zwischen Be-
zugspotential (GND) und dem Ausgang einen n-Kanaltransistor
(Tn1) aufweist,
25 bei der das Gate des p-Kanaltransistors über einen invertie-
renden Treiber (D11) mit dem ersten Anhebespannungsanschluß
(n2) verbunden ist und
bei der das Gate des n-Kanaltransistors über einen nichtin-
vertierenden Treiber (I21, D21) mit dem zweiten Anhebespan-
nungsanschluß (n1) verbunden ist.
30
7. Verwendung einer Vorrichtung nach einem der vorhergehenden
Ansprüche zur verlustleistungsarmen Erzeugung einer Program-
mierspannung für einen elektrisch programmierbaren Festwert-
35 speicher in einem batteriebetriebenen Gerät.

1/3

FIG 1

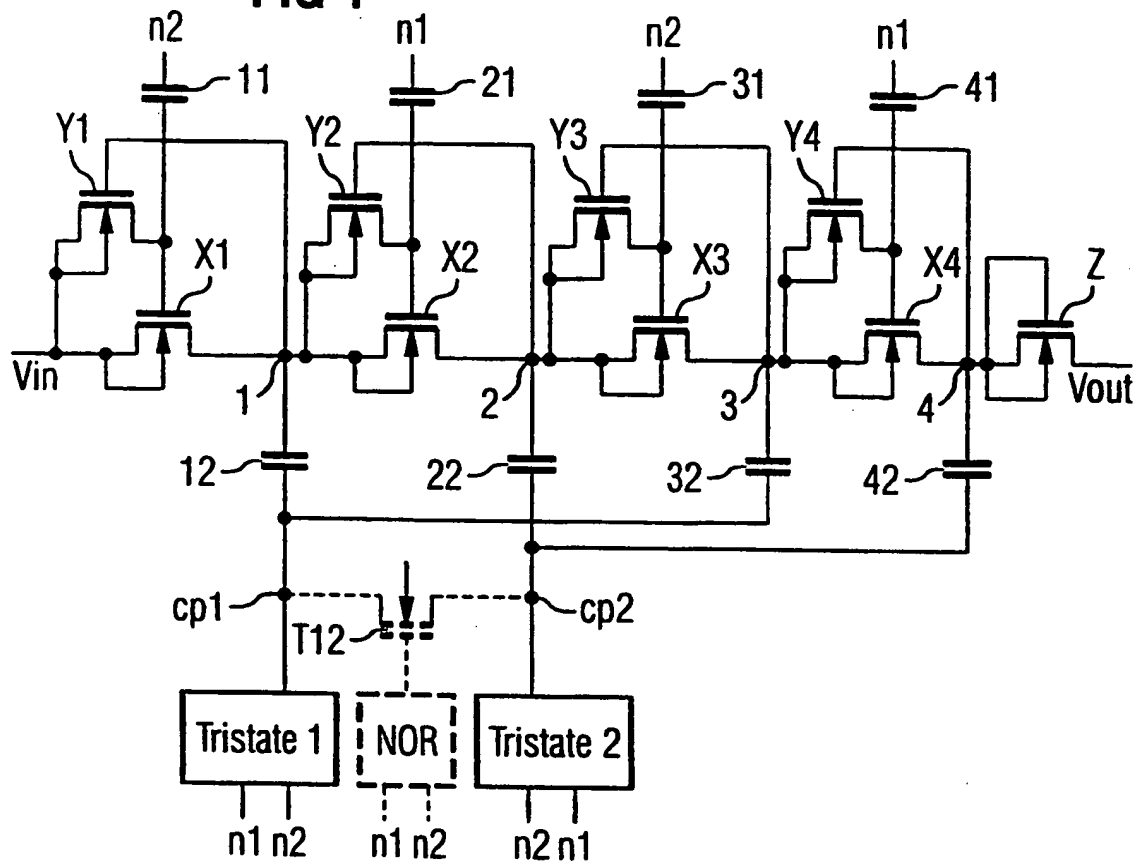
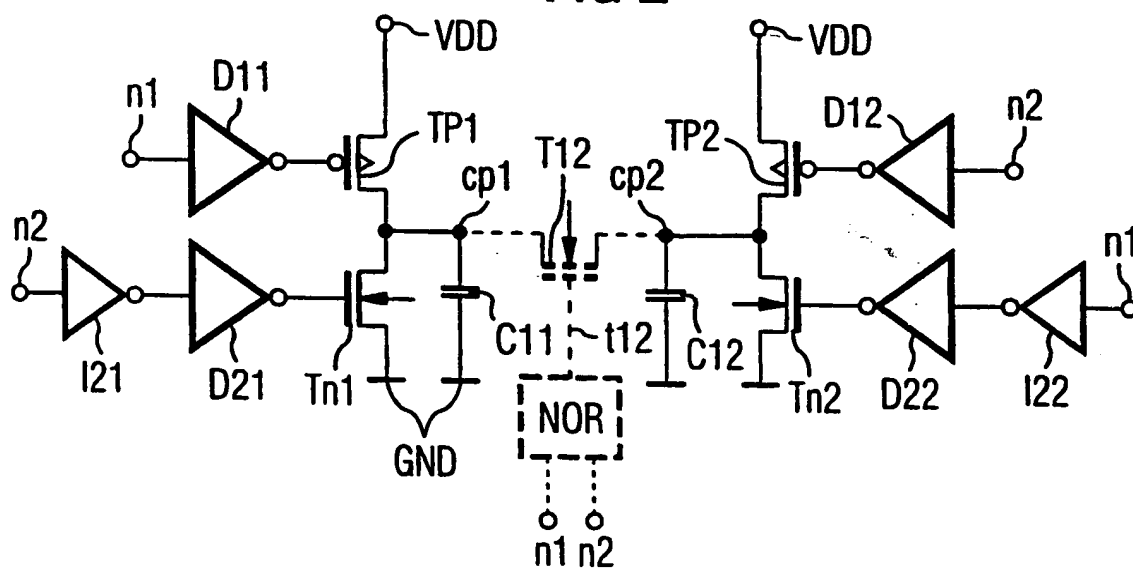


FIG 2



2/3

FIG 3

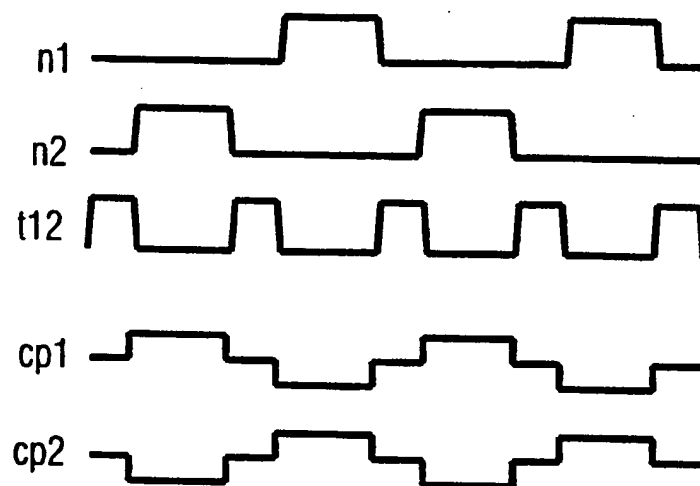
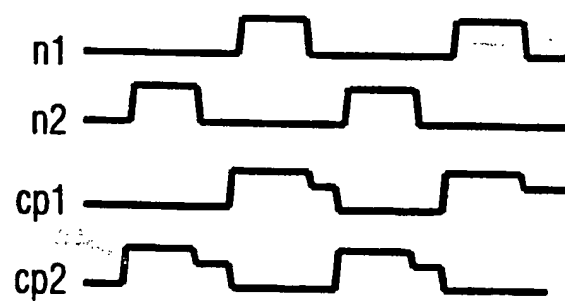


FIG 4



3/3

FIG 5

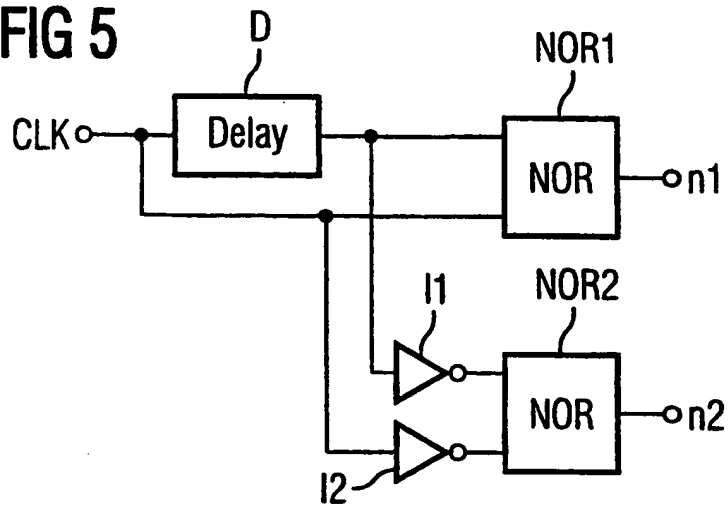
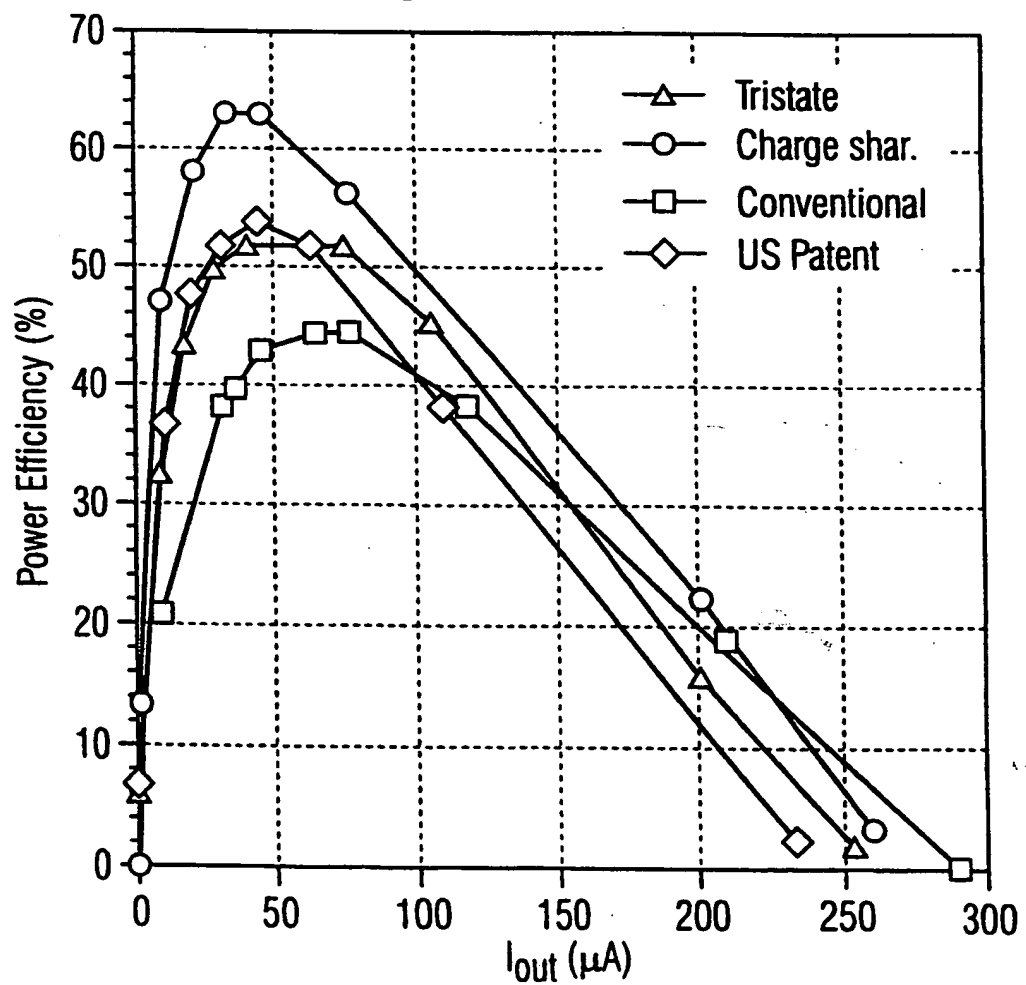


FIG 6



INTERNATIONAL SEARCH REPORT

Int. Application No
PCT/DE 99/04054

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H02M3/07

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H02M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 708 387 A (CHEN JOHNNY C ET AL) 13 January 1998 (1998-01-13) the whole document	1
A	US 5 818 289 A (CHEVALLIER CHRISTOPHE J ET AL) 6 October 1998 (1998-10-06) cited in the application the whole document	1

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

2 May 2000

Date of mailing of the international search report

11/05/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Thisse, S

INTERNATIONAL SEARCH REPORT

Information on patent family members

In International Application No

PCT/DE 99/04054

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5708387 A	13-01-1998	DE 69604688 D EP 0861517 A WO 9719510 A	18-11-1999 02-09-1998 29-05-1997
US 5818289 A	06-10-1998	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 99/04054

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H02M3/07

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H02M

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 708 387 A (CHEN JOHNNY C ET AL) 13. Januar 1998 (1998-01-13) das ganze Dokument	1
A	US 5 818 289 A (CHEVALLIER CHRISTOPHE J ET AL) 6. Oktober 1998 (1998-10-06) in der Anmeldung erwähnt das ganze Dokument	1

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

2. Mai 2000

Absenddatum des internationalen Recherchenberichts

11/05/2000

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Thisse, S

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

In. tionales Aktenzeichen

PCT/DE 99/04054

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5708387 A	13-01-1998	DE 69604688 D	18-11-1999
		EP 0861517 A	02-09-1998
		WO 9719510 A	29-05-1997
US 5818289 A	06-10-1998	KEINE	